

POSITION NOTICE SYSTEM IN MOBILE COMMUNICATION

Patent Number: JP5083189
Publication date: 1993-04-02
Inventor(s): KOMAGATA HITOSHI; others: 01
Applicant(s):: NIPPON TELEGR & TELEPH CORP
Requested Patent: ☐ JP5083189
Application Number: JP19910243501 19910924
Priority Number(s):
IPC Classification: H04B7/26
EC Classification:
Equivalents:

Abstract

PURPOSE: To provide position information of a mobile station economically by allowing the mobile station to inform its position information to a line control station and allowing the line control station to store it into a home memory.
CONSTITUTION: A mobile station 14 sends position information measured by a position measurement terminal equipment 15 to a line control station 5 through a control channel 13b via satellite 8 for a 2-way telephone, a base station 7 and a control line 13a at an interval designated by a broadcast channel of the control channel 13b at position registration, at calling, at the arrival of a call, or at position information notice request from the line control station 5. Every time position information is received, the line control station 5 revises the position information in a home memory 4. When a position information request in the usual mode is received via a message communication station 6 from a terminal equipment 1 of a general stationary telephone network 3, the line control station 5 sends the position information of the home memory 4 to the terminal equipment 1. Moreover, in the case of a position information request in the high performance mode, the line control station 5 requests the newest position information to the mobile station 14 and receives it and informs it to the terminal equipment 1.

Data supplied from the esp@cenet database - I2

⑫ 特 許 公 報 (B 2)

平5-83189

⑬ Int. Cl.³H 01 L 27/04
21/82

識別記号

A

庁内整理番号

8427-4M

⑭ 公告 平成5年(1993)11月25日

8225-4M H 01 L 21/82

L

発明の数 1 (全5頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 昭62-320185

⑰ 公 開 平1-161857

⑱ 出 願 昭62(1987)12月18日

⑲ 平1(1989)6月26日

⑳ 発 明 者 矢 代 廣 文 神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

\r\n㉑ 発 明 者 松 本 み ゆ き 神奈川県川崎市川崎区駅前本町25番地1 東芝マイコンエンジニアリング株式会社内

㉒ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉓ 出 願 人 東芝マイクロエレクト 神奈川県川崎市川崎区駅前本町25番地1
ロニクス株式会社

㉔ 代 理 人 弁理士 鈴江 武彦 外2名

審 査 官 真 鍋 潔

㉕ 参 考 文 献 特開 昭57-11045 (JP, A)

1

2

㉖ 特許請求の範囲

1 半導体チップ上に、所定の機能を持った回路ブロックを有し、

前記回路ブロックの領域の各辺部それぞれに、電源線取り出し口および接地線取り出し口のそれぞれが設けられてなることを特徴とする半導体集積回路。

2 前記半導体チップ上に設けられているチップ用の電源端子および接地端子は、前記回路ブロックにおける最も近い電源線取り出し口および接地線取り出し口に各対応して接続され、または前記回路ブロックにおける最も近い辺部の電源線取り出し口および接地線取り出し口に各対応して接続されていることを特徴とする特許請求の範囲第1項記載の半導体集積回路。

3 前記半導体チップ上に設けられているチップ用の電源端子および接地端子は、前記回路ブロックにおける複数の電源線取り出し口および複数の接地線取り出し口に各対応して接続されていることを特徴とする特許請求の範囲第1項記載の半導体集積回路。

発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は半導体集積回路に係わり、特に所定の機能を持った回路ブロックを少なくとも1個以上有する集積回路における回路ブロックの電源線取り出し口および接地線取り出し口に関する。

(従来技術)

最近、半導体集積回路として、所定の機能有する回路ブロック、たとえばCPU(中央処理ユニット)とかALU(算術論理演算ユニット)とかPIO(パラレル入出力ポート)などの機能ブロックを同一チップ上に混在させることが多くなってきた。このような混在型の集積回路における従来のパターン配置の一例を第3図に示している。即ち、チップ30の中央部に複数個の機能ブロック31、…、31、が配置され、チップ周辺部に入出力ブロック32が配置され、この入出力ブロック32における電源端子(パッド)33…および接地端子(パッド)34…と機能ブロック31、…、31、それぞれの電源線取り出し口35および接地線取り出し口36との間が電源配線37…および接地

3

配線 3 8...により接続されている。

上記従来のパターン配置にあつては、各機能ブロック 3 1₁~3 1₄における電源線取出し口 3 5 および接地線取出し口 3 6 がそれぞれブロック外周辺の一辺部にしか設けられていないので、自動設計装置によりブロック内パターン設計、ブロック配置設計を行かせた際に、電源線取出し口 3 5 および接地線取出し口 3 6 が設けられた辺部の位置によつては、入出力ブロック 3 2 の電源端子 3 3...および接地端子 3 4...までの電源系統配線の距離が長くなるような設計が行われることがあり、電源配線 3 7...および接地配線 3 8...の引き回しが長くなると、その抵抗成分、インダクタンス成分が大きくなるので電圧降下や電源電流変化時に電源騒音が発生し易くなり、回路特性が劣化する要因となる。このように回路特性が電源系統の配線の抵抗、インダクタンス成分に依存することを避けるために上記配線の幅をより太くすると、チップサイズが10%~15%程度拡大してしまう。なお、上記配線は現状でもチップサイズを左右する程太い。また、上記電源系統の配線の距離が短くなるように機能ブロック 3 1₁~3 1₄の向きを適宜回転させることも考えれるが、このようにすると各機能ブロック相互間に接続される一般の信号配線（図示せず）の配線距離が長くなつたり、上記信号線が一部領域に集中するなどの問題が生じ、これを避けようとする結果としてチップサイズの増加を引き起こす。

（発明が解決しようとする問題点）

本発明は、上記したようにチップの電源端子および接地端子と機能ブロックの電源線取出し口および接地線取出し口との位置関係によつて電源系統配線の距離が長くなる場合に電圧降下や電源雑音が発生し易くなるという問題点、およびこれを避けようとして上記配線を太くするとチップサイズがかなり大きくなるという問題点を解決すべくなされたもので、上記電源系統配線が可及的に短くなり、チップサイズを増大させることなく電源配線系統の電圧降下や電源雑音発生レベルが小さくなる半導体集積回路を提供することを目的とする。

【発明の構成】

（問題点を解決するための手段）

本発明の半導体集積回路は、チップ上に所定の

4

機能を持つた回路ブロックを少なくとも1個以上有し、この回路ブロックの領域の各辺部に電源線取出し口および接地線取出し口を設けてなることを特徴とする。

（作用）

機能回路ブロックの各辺部に電源線取出し口および接地線取出し口が位置するので、チップ用の電源端子および接地端子までの電源系統配線が可及的に短くなるように任意の辺部の電源線取出し口および接地線取出し口に対して電源系統配線を接続することが可能になる。これによつて、電源系統配線の抵抗、インダクタンス成分が小さくなり、電圧降下や電源電流変化時の電源雑音発生レベルが小さくなる。したがつて、電源系統配線を特に太くする必要もなく、太くすることによりチップサイズがかなり増大するという問題は生じなく、逆にチップサイズ縮小効果を持っている。

（実施例）

以下、図面を参照して本発明の一実施例を詳細に説明する。

第1図に示す半導体集積回路チップ1において、2はチップ周辺部の入出力ブロックであつて、ここには図示しない入出力回路などと共にチップ用の電源端子（パッド）3₁、3₂および接地端子（パッド）4₁、4₂が設けられている。この場合、電源端子3₁と接地端子4₁とが1組となつてチップ上の一辺部に位置し、電源端子3₂と接地端子4₂とが1組となつて別の一辺部に位置している。5₁~5₄はチップ中央部に設けられた所定の機能を有する回路ブロック（機能ブロック）である。この機能ブロック5₁~5₄は、それぞれ例えば四角形の領域を有し、それぞれの領域の各辺部に電源線取出し口6および接地線取出し口7が設けられている。そして、前記1組の電源端子3₁および接地端子4₁は、これに近い位置に設けられている回路ブロック5₁、5₂それぞれにおける最も近い電源線取出し口6および接地線取出し口7と間に各対応して電源配線8₁および接地配線9₁を介して接続されている。同様に、別の1組の電源端子3₂および接地端子4₂は、これに近い位置に設けられている回路ブロック5₃、5₄それぞれにおける最も近い電源線取出口6および接地線取出し口7との間に各対応して電源配線8₁および接地配線9₁を介して接続されている。な

5

お、第1図に示したブロック配置の場合には、上記回路ブロック5₁、5₂の各辺のうち、前記電源端子3₁および接地端子4₁に最も近い一辺部の電源線取出し口6および接地線取出し口7が他辺部のものよりも上記電源端子3₁および接地端子4₁に最も近い。また、前記電源配線8₁、8₂および接地配線9₁、9₂と機能ブロックの電源線取出し口6および接地線取出し口7との接続は、たとえば金属配線相互のコンタクトによつてなされている。

上記実施例の半導体集積回路によれば、機能ブロックの各辺部に電源線取出し口および接地線取出し口が位置するので、チップ用の電源端子および接地端子までの電源系統配線（電源配線および接地配線）が可及的に短くなるように任意の辺部の電源線取出し口および接地線取出し口に対して電源系統配線を接続することが可能になる。これによつて、電源系統配線の抵抗、インダクタンス成分が小さくなり、電圧降下や電源電流変化時の電源雑音発生レベルが小さくなる。したがつて、電源系統配線を特に太くする必要もなく、太くすることによりチップサイズがかなり増大するという問題は生じない。

なお、上記実施例では、各機能ブロックは各1個の電源線取出し口および接地線取出し口をチップ用の電源端子および接地端子に接続したが、必要に応じて機能ブロックと複数個の電源線取出し口および複数個の接地線取出し口とチップ用の電源端子および接地端子との間をそれぞれ複数本の電源配線および接地配線により接続してもよい。これによつて、上記機能ブロック大きな電源電流を供給することが可能になり、また電源系統配線のインピーダンスが低くなるので電源雑音発生レベルが一層小さくなる。したがつて、たとえばアナログ/デジタル変換用の機能ブロックのように低雑音電源を必要とする場合に、この機能ブロックの複数個の電源線取出し口および接地線取出し

6

口を使用すれば好適である。この一例として、第2図に示す半導体集積回路チップ21は、前記第1図を参照して前述したチップ1に比べて、さらにチップ21の別に一辺部に1組の電源端子3₁および接地端子4₁を有し、この1組の電源端子3₁および接地端子4₁とこれに近い位置にある機能ブロック5₁における未使用だった電源線取出し口6および接地線取出し口7の各1個との間にそれぞれ電源配線8₁および接地配線9₁を設けた点が異なり、その他は同じであるので第1図中と同一符号を付している。

【発明の効果】

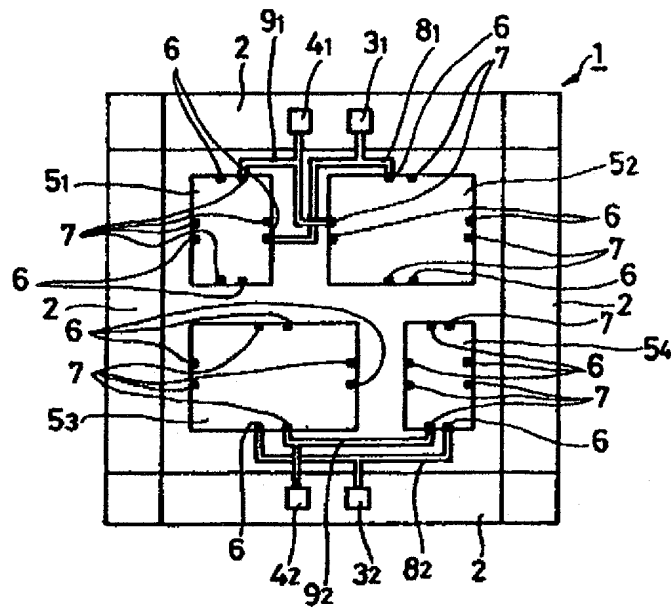
上述したように本発明の半導体集積回路によれば、機能回路ブロックとチップ用の電源端子および接地端子との間を接続する電源系統配線を可及的に短くすることができるので、電源系統配線の抵抗、インダクタンス成分が小さくなり、電圧降下や電源雑音発生レベルが小さくなり、回路特性の低下を免れることができる。したがつて、上記電源系統配線の抵抗、インダクタンスを小さくするために配線を特に太くするという必要もなく、特に太くする場合に比べてチップサイズの増大をかなり（10%～15%程度）抑えることができる。

図面の簡単な説明

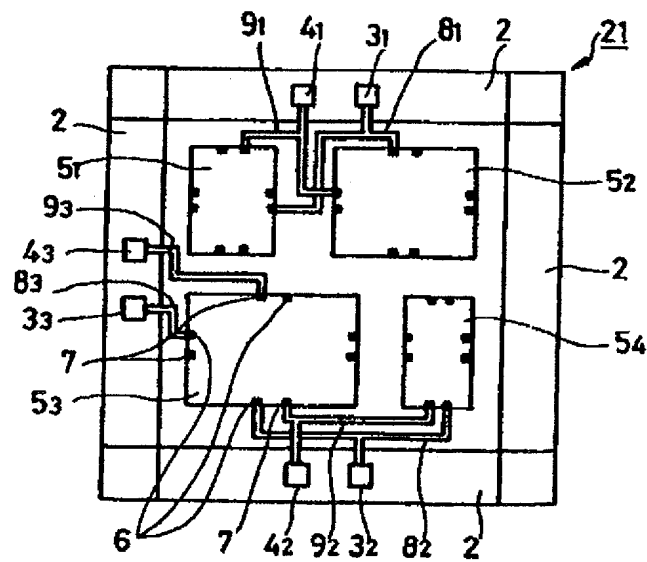
第1図は本発明の半導体集積回路の一実施例におけるパターン配置を概略的に示す図、第2図は他の実施例におけるパターン配置を概略的に示す図、第3図は従来の半導体集積回路におけるパターン配置を概略的に示す図である。

1, 21……半導体集積回路チップ、2, 3, ……入出力ブロック、3₁～3₂……電源端子、4₁～4₂……接地端子、5₁～5₂……機能ブロック、6……電源線取出し口、7……接地線取出し口、8₁～8₂……電源配線、9₁～9₂……接地配線。

第1図



第2図



第 3 図

